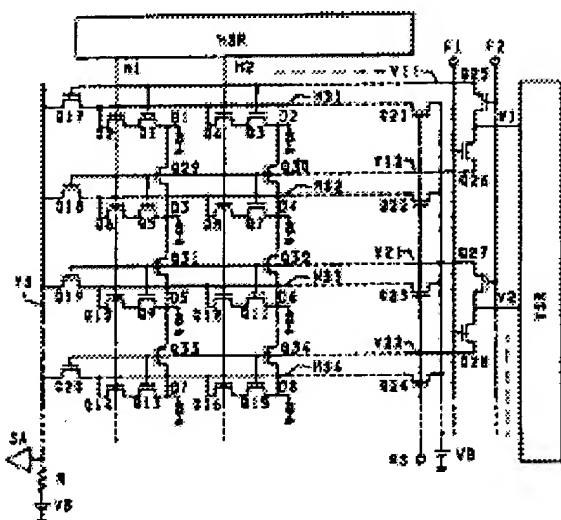


SOLID-STATE IMAGE PICKUP DEVICE

Patent number: JP62213483
Publication date: 1987-09-19
Inventor: MIYAZAWA TOSHIO
Applicant: HITACHI LTD
Classification:
- international: H01L27/14; H04N5/335
- european: H01L27/146F
Application number: JP19860054781 19860314
Priority number(s): JP19860054781 19860314

Abstract not available for JP62213483



Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-213483

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)9月19日

H 04 N 5/335
H 01 L 27/14
H 04 N 5/335

E-8420-5C
7525-5F
P-8420-5C

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 固体撮像装置

⑯ 特 願 昭61-54781

⑰ 出 願 昭61(1986)3月14日

⑱ 発 明 者 宮 沢 敏 夫 茂原市早野3300番地 株式会社日立製作所茂原工場内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

1. 光電変換素子と垂直走査線にその制御端子が結合されるスイッチ素子及び水平走査線にその制御端子が結合されるスイッチ素子からなる画素セルと、同じ行に配置された画素セルの出力ノードが共通に結合される水平信号線と、上記垂直走査線にその制御端子が結合され、上記水平信号線を出力信号線に結合させるスイッチ素子からなるマトリックス構成の画素アレイと、第1フィールドと第2フィールドとで画素アレイの隣接する一対の垂直走査線に選択的に駆動信号を供給する垂直走査駆動回路と、互いに隣接し対応する水平位置に配置される光電変換素子間をバラレルに接続し、その制御端子が対応する垂直走査線に結合されたスイッチ素子を含むことを特徴とする固体撮像装置。

2. 上記各スイッチ素子は、MOSFETである

ことを特徴とする特許請求の範囲第1項記載の固体撮像装置。

3. 上記水平信号線には、水平帰線期間において動作状態にされるプリチャージ回路が設けられるものであることを特徴とする特許請求の範囲第1又は第2項記載の固体撮像装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、固体撮像装置に関するもので、例えば、光電変換素子により形成される画素信号をMOSFET(絶縁ゲート形電界効果トランジスタ)を介して取り出す方式の固体撮像装置に利用して有効な技術に関するものである。

(従来の技術)

従来より、フォトダイオードとスイッチMOSFETとの組み合わせからなる固体撮像装置が公知である。このような固体撮像装置に関しては、例えば特開昭56-152382号公報がある。

(発明が解決しようとする問題点)

本願発明者は、この発明に先立って第3図に示

すような固体撮像装置に用いられる画素アレイを開発した。この画素アレイにおいては、インタレースモードでの画像信号を得るため、垂直走査信号を形成する垂直シフトレジスタVSRにより形成される1つの垂直走査信号V1、V2等をそれぞれ第1フィールド信号F1によりオン状態にされるスイッチMOSFETQ35、Q37及びQ39、Q41等を介して、同図の第1行目と第2行目及び第3行目と第4行目をそれぞれ一対として供給するものである。すなわち、第1フィールドにおいては、垂直走査信号V1がハイレベルになると第1と第2行目が同時に選択状態にされ、次いで垂直走査信号V2がハイレベルに切り替わると、第3行と第4行目が上記第1行と第2行目に代わって選択状態にされる。また、第2フィールドにおいては、第2フィールド信号F2のハイレベルによりスイッチMOSFETQ36及びQ38、Q40等がオン状態にされるため、同図の第1行目及び第2行目と第3行目のように対となる行の組み合わせが異なる。このようにすること

て共通の出力信号線VSに結合される。このため、センスアンプSAの入力側には、大きな容量値を持つキャパシタが接続される結果、そのランダム雑音が増加するものとなる。

この発明の目的は、インタレースモードでのランダム雑音の低減化を実現した固体撮像装置を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、光電変換素子と垂直走査線にその制御端子が結合されるスイッチ素子及び水平走査線にその制御端子が結合されるスイッチ素子からなる画素セルがマトリックス配置されてなる画素アレイに対し、第1フィールドと第2フィールドとで隣接する一対の垂直走査線の一つを選択状態にさせるとともに、その垂直選択信号によりオン状態

によって、第1と第2フィールドとで得られる画像信号の空間的重心を上下にシフトさせることができる。

このようなインタレースモードでの画像信号の出力時に、ランダム雑音が増加することが本願発明者の研究によって明らかにされた。

すなわち、上記各行には水平スイッチMOSFETQ2と垂直スイッチMOSFETQ1及びフォトダイオードD1等からなる多数の画素セルが配置されるものであるため、上記画素セルの出力ノードが結合される水平信号線HS1、HS2等には水平スイッチMOSFETのドレイン結合容量や配線容量等からなる比較的大きな寄生容量(浮遊容量)を持つものとされる。

画像信号の出力時に素子内部で発生するランダム雑音は、上記センスアンプSAの入力側に付加される容量の容量値に従い増加する。したがって、上記のようなインタレースモードでの画像信号の出力動作においては、一対の水平信号線が垂直出力スイッチMOSFETQ17、Q18等を介し

にされ、互いに隣接し対応する水平位置に配置される光電変換素子間をパラレルに接続するスイッチ素子を設けるものである。

〔作用〕

上記した手段によれば、選択された1つの水平信号線に、スイッチMOSFETを介して光電変換素子がパラレルに接続されることによって、インタレースモードでの出力動作を行う。これによってセンスアンプの入力側に接続される水平信号線が1本だけとなり、その容量値が低減される結果、ランダム雑音を低減できる。

〔実施例〕

第1図には、この発明の一実施例の要部回路図が示されている。同図では、4行、2列分の回路が代表として例示的に示されている。同図の各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

1つの画素セルは、フォトダイオードD1と垂直走査線にそのゲートが結合されたスイッチMO

S F E T Q 1 と、水平走査線にそのゲートが結合されたスイッチ MOS F E T Q 2 の直列回路から構成される。上記フォトダイオード D 1 及びスイッチ MOS F E T Q 1、Q 2 からなる画素セルと同じ行（水平方向）に配置される他の同様な画素セル（D 2、Q 3、Q 4）等の出力ノードは、同図において横方向に延長される水平信号線 H S 1 に結合される。他の行についても上記同様な画素セルが同様に結合される。上記水平信号線 H S 1 等には、それに対応した垂直走査線 V 1 1 が平行して配置される。この垂直走査線 V 1 1 には、それに対応した画素セルのスイッチ MOS F E T Q 1、Q 2 等が結合される。このことは、例示的に示されている他の行 V 1 2、V 2 1 及び V 2 2 においても同様である。

水平走査線は、同図において縦方向に延長され、同じ列に配置される画素セルのスイッチ MOS F E T Q 2、Q 6、Q 1 0 及び Q 1 4 等のゲートは、共通の水平走査線 H 1 に結合される。他の列に配置される画素セルも上記同様に対応する水平走査

線 H 2 等に結合される。

上記垂直走査線 V 1 1、V 1 2、V 2 1 及び V 2 2 は、上記水平信号線 H S 1 ないし H S 4 を縦（垂直）方向に延長される出力線 V S に結合させるスイッチ MOS F E T Q 1 7 ないし Q 2 0 のゲートにも結合される。この出力線 V S とバイアス電圧 V B との間には、読み出し用の負荷抵抗 R が設けられる。この負荷抵抗 R を通して、画素セルが選択されたとき、フォトダイオードに蓄積された光信号に対応した電流が流れることによって、その画素セルからの読み出し動作と、次の読み出し動作のためのリセット（プリチャージ）動作とが同時に行われる。上記負荷抵抗 R により得られた電圧値は、センスアンプ S A によって増幅され、図示しない出力回路に伝えられる。

この実施例では、特に制限されないが、上記各行の水平信号線 H S 1 ないし H S 4 には、水平消線期間において発生されるリセット信号 R S によってオン状態にされる MOS F E T Q 2 1 ないし Q 2 4 が設けられる。これらの MOS F E T Q 2

1 ないし Q 2 4 のオン状態によって、一定のバイアス電圧 V B が各水平信号線 H S 1 ないし H S 4 に与えられる。上記のようなリセット用 MOS F E T Q 2 1 ないし Q 2 4 が設けられる理由は、次の通りである。上記水平信号線 H S 1 ないし H S 4 に結合されるスイッチ MOS F E T のドレイン等の半導体領域も感光性を持つことがあり、このような寄生フォトダイオードにより形成される偽信号（スミア、ブルーミング）が、非選択時にフローティング状態にされる水平信号線に蓄積される。そこでこの実施例では、上述のように水平消線期間 T において、全ての水平信号線 H S 1 ないし H S 4 を所定のバイアス電圧 V B にリセットするものである。これにより、選択される水平信号線に関しては、常に上記偽信号をリセットした状態から画素信号を取り出すものであるため、出力される画素信号に含まれる偽信号を大幅に低減できる。なお、上記偽信号（スミア、ブルーミング）に関しては、例えば、特開昭 5 7 - 1 7 2 7 6 号公報に詳細に述べられている。

上記水平走査線 H 1 ないし H 2 等には、水平シフトレジスタ H S R により形成された水平走査信号が供給される。また、インタレースモードでの垂直選択動作を行うため、垂直走査線 V 1 1 ないし V 2 2 には、隣接する垂直走査線 V 1 1 と V 1 2 及び V 2 1 と V 2 2 がそれぞれ一対とされ、特に制限されないが、第 2 フィールド信号 F 2 によって制御されるスイッチ MOS F E T Q 2 5 と Q 2 7、第 1 フィールド信号 F 1 によってスイッチ MOS F E T Q 2 6 と Q 2 8 をそれぞれ介して、垂直シフトレジスタ V S R により形成された垂直走査信号 V 1、V 2 がフィールド毎に交互に供給される。これによって、一対の水平信号線 H S 1 と H S 2 は、その一方のみが交互に出力線 V S に結合されるものとなる。これによって、上記センスアンプ S A の入力側に結合される容量の容量値を減少させることができる。

しかしながら、このままではインタレースモードでの読み出しが出来ないため、同じ水平位置に配置されるフォトダイオード、例えば D 1 と D 3、

D3とD5のカソード側間には、スイッチMOSFETQ29、Q31が設けられる。このことは、同じ水平位置に配置される全フォトダイオードについても同様である。

例えば、水平信号線HS2に結合される画素セルについて説明するならば、フォトダイオードD3、D4のカソードは、1つ上の水平信号線HS1に結合される画素セルであって、同じ水平位置に配置されるフォトダイオードD1、D2のカソードとスイッチMOSFETQ29、Q30によって結合される。これらのスイッチMOSFETQ29とQ30のゲートは、上記水平信号線HS2に対応した垂直走査線V12に結合される。

また、上記フォトダイオードD3、D4のカソードは、1つ下の水平信号線HS3に結合される画素セルであって、同じ水平位置に配置されるフォトダイオードD5、D8のカソードとスイッチMOSFETQ31、Q32によって結合される。これらのスイッチMOSFETQ31とQ32のゲートは、上記水平信号線HS3に対応した垂直

走査線V21に結合される。以下、類似の構成によって、各隣接する水平信号線に結合され、同じ水平位置に配置されるフォトダイオードのカソード側を相互に結合させる、言い換えるならば、2つのフォトダイオードを並列形態に接続させるスイッチMOSFETがそれぞれに設けられるものである。

この実施例回路の動作の概略を第2図に示したタイミング図を参照して次に説明する。

同図において、第1フィールド信号F1と第2フィールド信号F2は、図示されていないが、最初は、第1フィールド信号F1がハイレベルのときについて説明する。

垂直シフトレジスタVSRの出力信号V1がハイレベルとき、上記第1フィールド信号F1のハイレベルによってMOSFETQ28がオン状態にされているため、垂直走査線V12がハイレベルの選択状態にされる。これによって、第2行目の水平信号線HS2に関する画素セルの各スイッチMOSFETQ5、Q7等と、この水平信号線

HS2を出力線VSに結合されるスイッチMOSFETQ18、及び第1行目と上記第2行目の画素セルであって、対応する水平位置に配置されたフォトダイオードD3とD1、D4とD2を並列接続するスイッチMOSFETQ29、Q30がオン状態にされる。

そして、水平シフトレジスタHSRによって、水平走査線H1がハイレベルにされると、スイッチMOSFETQ6がオン状態になって、上記フォトダイオードD3及びスイッチMOSFETQ29を介して並列接続されるフォトダイオードD1の読み出し動作を行う。これによって、実質的には、第1行と第2行に配置された2つのフォトダイオードの信号が合成されて出力される。

以下、上記水平シフトレジスタHSRのシフト動作に従い、次々に水平走査線H2・・・Hnがハイレベルに選択状態にされることによって、上記同様な2つのフォトダイオードD4とD2・・・の信号が合成されて順次出力されるものとなる。

水平帰線期間Tにおいて、上記垂直シフトレジスタVSRは、1ビットのシフト動作を行い、出力信号V1に代え、出力信号V2をハイレベルにする。また、この水平帰線期間Tにおいて、リセット信号RSが発生され、各水平信号線HS1ないしHS4をバイアス電圧にリセットする。

上記シフト動作により垂直シフトレジスタVSRの出力信号V2がハイレベルとき、上記第1フィールド信号F1のハイレベルによってMOSFETQ28がオン状態にされているため、垂直走査線V22が選択状態にされる。これによって、第4行目の水平信号線HS4に関する画素セルの各スイッチMOSFETQ13、Q15等と、この水平信号線HS4を出力線VSに結合されるスイッチMOSFETQ20、及び第3行目と上記第4行目の画素セルであって、対応する水平位置に配置されたフォトダイオードD7とD5、D8とD6を並列接続するスイッチMOSFETQ33、Q34がオン状態にされる。

そして、水平シフトレジスタHSRによって、

水平走査線H1がハイレベルにされると、スイッチMOSFETQ14がオン状態になって、上記フォトダイオードD7及びスイッチMOSFETQ33を介して並列接続されるフォトダイオードD5の読み出し動作を行う。これによって、実質的には、第3行と第4行に配置された2つのフォトダイオードの信号が合成されて出力される。

以下、上記水平シフトレジスタHSRのシフト動作に従い、次々に水平走査線H2・・・Hnがハイレベルに選択されて、上記同様な2つのフォトダイオードD8とD6・・・の信号が合成されて順次出力されるものとなる。

なお、上記組み合わせ以外の垂直走査線と水平走査線に結合される各スイッチMOSFETは、上記垂直走査線又は水平走査線の一方が非選択のロウレベルにされるためオフ状態にされる結果、上記の組み合わせによって選択された画素セルに対してのみその読み出し動作が行われる。

次に、図示しないが、第2フィールド信号F2がハイレベルのときについて説明する。

水平帰線期間Tにおいて、上記垂直シフトレジスタVSRは、1ビットのシフト動作を行い、出力信号V1に代え、出力信号V2をハイレベルにする。また、この水平帰線期間Tにおいて、リセット信号RSが発生され、各水平信号線HS1ないしHS4をバイアス電圧にリセットする。

上記シフト動作により垂直シフトレジスタVSRの出力信号V2がハイレベルとき、上記第2フィールド信号F2のハイレベルによってMOSFETQ27がオン状態にされているため、垂直走査線V21が選択状態にされる。これによって、第3行目の水平信号線HS3に関する画素セルの各スイッチMOSFETQ9、Q11等と、この水平信号線HS3を出力線VSに結合されるスイッチMOSFETQ19及び第3行目と上記第2行目の画素セルであって、対応する水平位置に配置されたフォトダイオードD5とD3、D6とD4を並列接続するスイッチMOSFETQ31、Q32がオン状態にされる。

そして、水平シフトレジスタHSRによって、

垂直シフトレジスタVSRの出力信号V1がハイレベルとき、上記第2フィールド信号F2のハイレベルによってMOSFETQ25がオン状態にされているため、垂直走査線V11が選択状態にされる。これによって、第1行目の水平信号線HS1に関する画素セルの各スイッチMOSFETQ1、Q3等と、この水平信号線HS1を出力線VSに結合されるスイッチMOSFETQ17がオン状態にされる。

そして、水平シフトレジスタHSRによって、水平走査線H1がハイレベルにされると、スイッチMOSFETQ2がオン状態になって、上記フォトダイオードD1の読み出し動作を行う。これによって、第2フィールドの最初の行では、第1行フォトダイオードの信号のみが出力される。

以下、上記水平シフトレジスタHSRのシフト動作に従い、次々に水平走査線H2・・・Hnがハイレベルの選択状態にされるため、上記1行分のフォトダイオードD2・・・の信号が順次出力されるものとなる。

水平走査線H1がハイレベルにされると、スイッチMOSFETQ10がオン状態になって、上記フォトダイオードD5及びスイッチMOSFETQ31を介して並列接続されるフォトダイオードD3の読み出し動作を行う。これによって、実質的には、第2行と第3行に配置された2つのフォトダイオードの信号が合成されて出力される。

以下、上記水平シフトレジスタHSRのシフト動作に従い、次々に水平走査線H2・・・Hnがハイレベルの選択状態にされるため、上記同様な2つのフォトダイオードD6とD4・・・の信号が合成されて順次出力されるものとなる。

上記のように2つのフィールド信号F1とF21画面毎に交互にハイレベルの選択レベルにされることに応じて、出力される行の組み合わせが1行分上下にシフトされることにより、空間的歪心の上下シフト、言い換えるならば、インターレースモードが実現される。

この場合、出力線VSに結合される水平信号線は、2行分の画素信号を得るにもかかわらず、

常に1本のみしか結合されない。これによって、比較的大きな寄生容量を持つ水平信号線の数が、第3図の回路に比べて半分にすることができるので、センスアンプS Aの入力側に結合される容量の容量値が半減できる。これによって、ランダム雑音を大幅に低減できるものとなる。

ちなみに、ランダム雑音のパワー I_n^2 は、次式によって求められる。

$$I_n^2 = 4kT \left\{ f_H (C_{PD} + C_{VS}) \right. \\ \left. + 4\pi^2 B^2 / 3 (R_H C_H^2 + R C_H^2 \right. \\ \left. + R_V (C_H^2 + C_V C_H + C_V^2 / 3)) \right\}$$

ここで、 k はボルツマン定数、 T は絶対温度、 f_H は水平シフトレジスタのクロック周波数、 C_{PD} は、フォトダイオードの接合容量、 C_{VS} は垂直スイッチMOSFETのゲート容量、 B は周波数帯域、 R_H は水平信号線の等価抵抗、 C_H は水平信号線の寄生容量、 R は読み出しスイッチMOSFETのオン抵抗、 R_V は出力信号線の等価抵抗、 C_V は出力信号線の寄生容量である。上記式から明かなように、出力動作状態における水平信号

線の寄生容量 C_H を減らすことによって、ランダム雑音 I_n^2 を大幅に低減できるものとなる。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) フォトダイオードと垂直走査線にそのゲートが結合されるスイッチMOSFET及び水平走査線にそのゲートが結合されるスイッチMOSFETからなる画素セルがマトリックス配置されてなる画素アレイに対し、第1フィールドと第2フィールドとで隣接する一対の垂直走査線の一方を選択状態にさせるとともに、その垂直選択信号によりオン状態にされるスイッチMOSFETにより、互いに隣接し対応する水平位置に配置されるフォトダイオードをパラレルに接続することによって、1本の水平信号線を通して2個分のフォトダイオードの出力信号を得ることができる。これによって、インタレースモードを実現しつつ、センスアンプの入力側に接続される水平信号線が1本だけとなる結果、その容量値の低減に伴いランダム雑音も大幅に低減できるという効果が得られる。

(2) 水平信号線を水平帰線期間内にリセットさせることによって、スミア及びブルーミングによる偽信号を低減することができる。これにより、上記(1)のランダム雑音の低減と相俟って、高品質の画像信号を得ることができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図の実施例回路において、半分の垂直走査信号線は、フローティング状態で非選択レベルにされてしまうことを防ぐため、スイッチMOSFET Q25ないしQ28に代え、論理ゲート回路により垂直シフトレジスタVSRの出力信号を選択的に一対とされた一方の垂直走査線に供給するものとしてもよい。また、水平帰線期間内に水平信号線をリセットするためのリセット回路は、特に必要とされるものではない。

また、スイッチ素子は、MOSFETのように制御端子を持ち、アナログスイッチ動作を行うも

のであれば何であってもよい。

この発明は、固体撮像装置として広く利用できるものである。

(発明の効果)

本題において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、光電変換素子と垂直走査線にその制御端子が結合されるスイッチ素子及び水平走査線にその制御端子が結合されるスイッチ素子からなる画素セルがマトリックス配置されてなる画素アレイに対し、第1フィールドと第2フィールドとで隣接する一対の垂直走査線の一方を選択状態にさせるとともに、その垂直選択信号によりオン状態にされるスイッチ素子により、互いに隣接し対応する水平位置に配置される光電変換素子をパラレルに接続することによって、1本の水平信号線を通して2個分の光電変換素子の出力信号を得ることができる。これによって、インタレースモードを実現しつつ、センスアンプの入力側に接続される水平信号線が1本だけとなる結

果、その容量値の低減に伴いランダム雑音を大幅に低減できるものとなる。

4. 図面の簡単な説明

第1図は、この発明の一実施例を示す要図回路図、

第2図は、その概略動作の一例を説明するためのタイミング図、

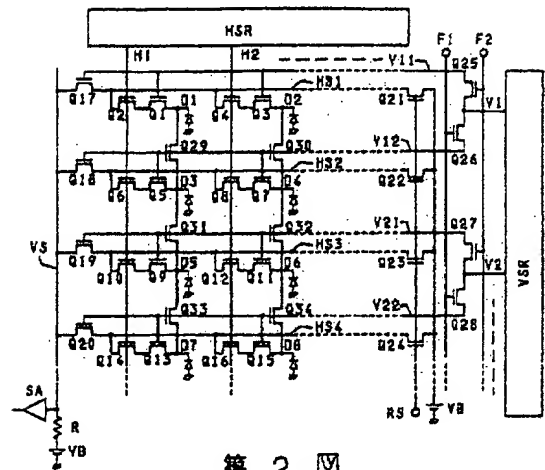
第3図は、本願発明者等によりこの発明に先立って開発された固体撮像装置の要部回路図である。

VSR・・・垂直シフトレジスタ、HSR・・・水平シフトレジスタ、SA・・・センスアンプ

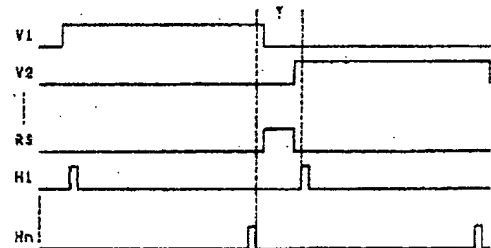
代理人弁理士 小川 勝男



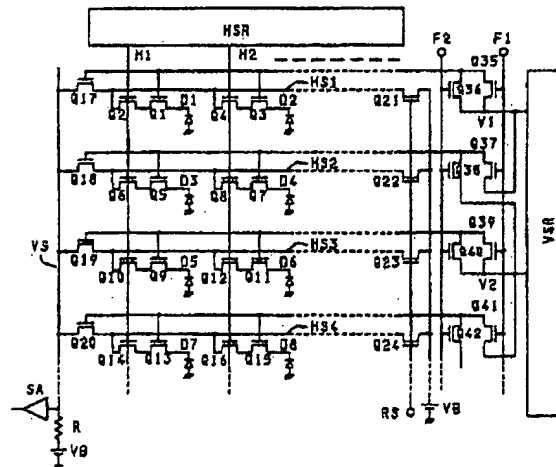
第1図



第2図



第3図



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第3区分
【発行日】平成6年(1994)2月10日

【公開番号】特開昭62-213483
【公開日】昭和62年(1987)9月19日
【年通号数】公開特許公報62-2135
【出願番号】特願昭61-54781
【国際特許分類第5版】

H04N 5/335 E 4228-5C

H01L 27/148

H04N 5/335 P 4228-5C

【F I】

H01L 27/14 8 7210-4M

手続補正書 (自発)

平成 5 年 3 月 10 日

特許庁長官 殿

事件の表示

昭和61年 特 許 願 第 54781 号

発明の名称

固 体 撮 像 装 置

補正をする者

事件との関係 特許出願人

名 称 (510) 株式会社 日立製作所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内 電話 東京3212-1111(大代表)

氏 名 (6850) 弁護士 小 川 勝 男



補正の対象 明細書の特許請求の範囲の欄及び発明の詳細な説明の欄

補正の内容

1. 明細書の「特許請求の範囲」の欄を別紙の通り補正する。

2. 明細書の「発明の詳細な説明」の欄第5頁第11行乃至第6頁第11行の記載を、

「〔問題点を解決するための手段〕

本発明では、複数の光電変換素子がマトリックス状に配置され、複数の読み出し手段が設けられた固体撮像装置において、上記複数の光電変換素子のうち隣接する2つの光電変換素子の信号を同一の読み出し手段から読み出し、かつ、上記隣接する2つの光電変換素子の組み合わせは、第1フィールドと第2フィールドとで異なることとした。

(作用)

2つの光電変換素子の読み出しが同一の読み出し手段により行われることにより、ランダム雑音を低減できる。」と補正する。

以 上

別 紙

特許請求の範囲

1. 複数の光電変換素子がマトリックス状に配置され、複数の読み出し手段が設けられた固体撮像装置において、上記複数の光電変換素子のうち、隣接する2つの光電変換素子の信号を同一の読み出し手段から読み出し、かつ、上記隣接する2つの光電変換素子の組み合わせは、第1フィールドと第2フィールドとで異なることを特徴とする固体撮像装置。

THIS PAGE BLANK (USPTO)